



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11126900 A**(43) Date of publication of application: **11.05.99**

(51) Int. Cl.
H01L 29/78
H01L 21/28
H01L 21/336

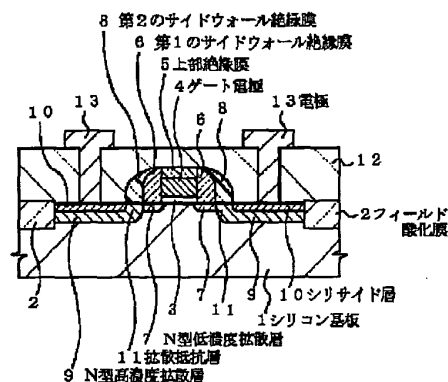
(21) Application number: **09292820**(71) Applicant: **NEC CORP**(22) Date of filing: **24.10.97**(72) Inventor: **ISHII KOJI**

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF** COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve with a simple method the dielectric breakdown resistance of a semiconductor device, constituted of a fine MOS transistor for which a source/drain is silicified.

SOLUTION: In a MOS transistor for which a silicide layer 10 is formed on the partial surface of a diffused layer 9 for constituting a source/drain, a first sidewall insulating film 6 and a second sidewall insulating film 8 are laminated and formed on the sidewall of the gate electrode 4 of the MOS transistor, and a diffusion resistance layer 11 is formed on the diffused layer 9 positioned at the lower part of the second sidewall insulating film 8 in self alignment with the second sidewall insulation film 8. In this case, only the first sidewall insulating film 6 is formed on the sidewall of the gate electrode of the MOS transistor of the internal circuit of this semiconductor device, and the first sidewall insulation film 6 and the second sidewall insulating film 8 are formed on the MOS transistor of an input/output circuit part.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126900

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L 29/78		H 0 1 L 29/78
21/28	3 0 1	21/28
21/336		29/78
		3 0 1 X
		3 0 1 T
		3 0 1 Y

審査請求 有 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平9-292820

(22) 出願日 平成9年(1997)10月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 石井 弘二

東京都港区芝五丁目7番1号 日本電気株式会社内

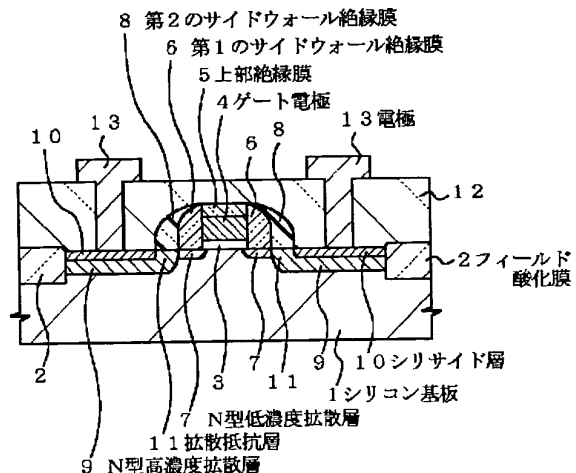
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 ソース・ドレインがシリサイド化され微細なMOSトランジスタで構成される半導体装置の静電破壊耐性を簡便な方法で向上させる。

【解決手段】 ソース・ドレインを構成する拡散層9の一部表面にシリサイド層10の形成されるMOSトランジスタにおいて、MOSトランジスタのゲート電極4の側壁に第1のサイドウォール絶縁膜6と第2のサイドウォール絶縁膜8が積層して形成され、上記の第2のサイドウォール絶縁膜8の下部に位置する上記拡散層9上に拡散抵抗層11が第2のサイドウォール絶縁膜8にセルフアラインに形成される。ここで、半導体装置の内部回路部のMOSトランジスタのゲート電極の側壁には第1のサイドウォール絶縁膜6のみが形成され、入出力回路部のMOSトランジスタに上記の第1のサイドウォール絶縁膜6と第2のサイドウォール絶縁膜8とが形成される。



【特許請求の範囲】

【請求項1】 ソース・ドレインを構成する拡散層の一部表面にシリサイド層の形成される絶縁ゲート電界効果トランジスタにおいて、前記絶縁ゲート電界効果トランジスタのゲート電極の側壁に、第1のサイドウォール絶縁膜と第2のサイドウォール絶縁膜とが積層して形成され、前記第1および第2のサイドウォール絶縁膜の下部に位置する前記拡散層にはシリサイド層が形成されていないことを特徴とする半導体装置。

【請求項2】 絶縁ゲート電界効果トランジスタで構成される半導体集積回路において、内部回路を構成する絶縁ゲート電界効果トランジスタのゲート電極の側壁には第1のサイドウォール絶縁膜が形成され、入出力回路を構成する絶縁ゲート電界効果トランジスタのゲート電極の側壁には異種材料で構成される第1のサイドウォール絶縁膜と第2のサイドウォール絶縁膜とが積層して形成されていることを特徴とする半導体装置。

【請求項3】 前記内部回路を構成する絶縁ゲート電界効果トランジスタのゲート電極の側壁に形成される第1のサイドウォール絶縁膜の幅が、前記入出力回路を構成する絶縁ゲート電界効果トランジスタのゲート電極の側壁に形成される第1のサイドウォール絶縁膜の幅より小さくなっていることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記絶縁ゲート電界効果トランジスタのソース・ドレインを構成する拡散層の表面にシリサイド層が形成されていることを特徴とする請求項2または請求項3記載の半導体装置。

【請求項5】 前記第2のサイドウォール絶縁膜の下部に位置する拡散層の不純物濃度が前記シリサイド層の形成されている領域の拡散層の不純物濃度より低くなるように設定されていることを特徴とする請求項1または請求項4記載の半導体装置。

【請求項6】 前記第2のサイドウォール絶縁膜の下部に位置しドレインを構成する拡散層のみの不純物濃度が前記シリサイド層の形成されている領域の拡散層の不純物濃度より低くなるように設定されていることを特徴とする請求項1または請求項4記載の半導体装置。

【請求項7】 前記第1のサイドウォール絶縁膜がシリコンオキシナイトライド膜で構成され、前記第2のサイドウォール絶縁膜がシリコン酸化膜で構成されていることを特徴とする請求項1から請求項6のうち1つの請求項に記載の半導体装置。

【請求項8】 絶縁ゲート電界効果トランジスタのゲート電極をゲート絶縁膜を介して半導体基板上に形成する工程と、前記ゲート電極をマスクに第1のイオン注入をしてソース・ドレインとなる第1の拡散層を形成する工程と、前記第1の拡散層を形成後、前記ゲート電極の側壁に第1のサイドウォール絶縁膜を形成する工程と、前記ゲート電極および第1のサイドウォール絶縁膜をマ

スクに第2のイオン注入をしてソース・ドレインとなる第2の拡散層を形成する工程と、前記第1のサイドウォール絶縁膜上に第2のサイドウォール絶縁膜を形成し前記第2の拡散層表面にシリサイド層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項9】 絶縁ゲート電界効果トランジスタのゲート電極をゲート絶縁膜を介して半導体基板上に形成する工程と、前記ゲート電極をマスクに一導電型不純物の第1のイオン注入をしてソース・ドレインとなる第1の拡散層を形成する工程と、前記第1の拡散層を形成後、前記ゲート電極の側壁に第1のサイドウォール絶縁膜を形成する工程と、前記ゲート電極および第1のサイドウォール絶縁膜をマスクに逆導電型不純物の第3のイオン注入をして拡散抵抗層を形成する工程と、前記拡散抵抗層を形成後、前記第1のサイドウォール絶縁膜上に第2のサイドウォール絶縁膜を形成する工程と、前記ゲート電極、前記第1のサイドウォール絶縁膜および前記第2のサイドウォール絶縁膜をマスクに同導電型不純物の第2のイオン注入をしてソース・ドレインとなる第2の拡散層を形成する工程と、前記第2の拡散層表面にシリサイド層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項10】 前記第1のサイドウォール絶縁膜がシリコンオキシナイトライド膜で構成され、前記第2のサイドウォール絶縁膜がシリコン酸化膜で構成されていることを特徴とする請求項8または請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に拡散層のシリサイド化技術を使用した半導体装置の構造およびその製造方法に関する。

【0002】

【従来の技術】半導体素子の構造の微細化及び高密度化は依然として精力的に推し進められている。微細化については、現在では0.15 μ m寸法で形成された半導体素子が用いられ、この寸法を設計基準にしたメモリデバイスあるいはロジックデバイス等の半導体装置が実用化されてきている。

【0003】このような微細化は、半導体装置の高集積化、高速化等による高性能化あるいは多機能化にとって最も効果的な手法であり、今後の半導体装置の製造にとって必須となっている。そして、このような半導体素子の微細化に伴い、ソース、ドレイン領域を形成する不純物拡散層を極めて浅く作り込む必要が出てきた。ところが、拡散層を浅くすることはソース、ドレイン領域の高抵抗化につながり、絶縁ゲート電界効果トランジスタ

(以下、MOSトランジスタという)の電流駆動能力が著しく低下させ半導体装置の高速化の阻害要因となる。

このような問題を解決するために、ソース・ドレインを構成する拡散層上に選択的にシリサイド層を形成し、ソース・ドレインの抵抗を極めて低くした、いわゆるシリサイド構造のMOSトランジスタが用いられてきている。

【0004】しかし、このシリサイド構造のMOSトランジスタでは、拡散層（ソース・ドレイン）抵抗が小さいために大電流が流れやすく、半導体装置がESD（Electro-Static Discharge）等による静電破壊に弱くなるという欠点がある。そこで、このための対策が種々に検討されてきている。その中で、例えば特開平7-106567号公報に示されているように、半導体集積回路の入出力部MOSトランジスタのソース・ドレイン領域の拡散層でシリサイド層を形成しない領域を設けなければならなくなる。このような従来の半導体装置の製造方法を図6を用いて説明する。ここで、図6はMOSトランジスタの製造工程順の断面図である。

【0005】図6（a）に示すように、半導体基板101上に選択的に素子分離絶縁膜102が形成される。次にゲート絶縁膜103を介して多結晶シリコンゲート104、シリコン酸化膜等の絶縁膜からなるサイドウォール絶縁膜105およびLDD（Lightly Doped Drain）構造の拡散層でドレイン領域106とソース領域107が形成される。そして、半導体基板101の表面に全面にわたってチタン膜108が堆積される。

【0006】次に、フォトリソグラフィ技術で全面にレジスト膜109が塗布されパターニングされる。そして、パターニングされたレジスト膜をマスクにチタン膜108がドライエッチングされる。このドライエッチングで、図6（b）に示すように、ドレイン領域106、ソース領域107上、および多結晶シリコンゲート104および多結晶シリコンゲート104に隣接するドレイン、ソース領域上にチタン膜110、111、112がパターニングして形成される。

【0007】次に、レジスト膜109が除去される。そして、熱処理によりチタン膜110、111、112と下地シリコンとのシリサイド化反応が行われ、図6

（c）に示すように、チタンシリサイド膜113、114、115、116、117が形成される。以下、図示しないが層間絶縁膜が全面に形成され、コンタクト孔を通してチタンシリサイド膜116あるいは117に接続される金属配線が設けられるようになる。

【0008】このようにして、図6（c）に示したように、チタンシリサイド膜116と114間に拡散抵抗層118が形成される。同様に、チタンシリサイド膜117と115間にも拡散抵抗層119が形成されるようになる。そして、サージ等の高い電圧が金属配線を通してチタンシリサイド膜116あるいは117に印加されて

も、MOSトランジスタは拡散抵抗層118、119により静電破壊から保護されるようになる。

【0009】

【発明が解決しようとする課題】上記の従来の技術では、フォトリソグラフィ工程で形成されるレジスト膜109がドライエッチングのマスクにされて、チタン膜108がパターニングされる。そして、パターニングされたチタン膜110、111、112等がシリサイド化され、互いに分離するチタンシリサイド膜114と116がドレイン領域106内に形成される。そして、これらのチタンシリサイド膜114と116間に拡散抵抗層118が形成される。あるいは、同様に、互いに分離するチタンシリサイド膜115と117がソース領域107内に形成され、これらのチタンシリサイド膜115と117間に拡散抵抗層119が形成される。

【0010】しかし、MOSトランジスタの微細化に伴い、上記のチタンシリサイド膜114と116間等の寸法は微細化する。このために、微細パターン形成が必要なフォトリソグラフィ工程が新たに必要になり、製造工程が複雑化し半導体装置の製造コストが上昇するようになる。

【0011】また、従来の技術のように、ソース・ドレイン領域のチタンシリサイド膜がフォトリソグラフィ工程を通して分離されると、フォトリソグラフィ工程での目合わせのためにバラツキが避けられない。すなわち、チタンシリサイド膜114あるいは115の幅にバラツキが生じてしまう。そして、MOSトランジスタの駆動能力にバラツキがでてくる。このようなバラツキは、MOSトランジスタが微細化するとより深刻な問題になる。

【0012】このため、この従来の方法ではMOSトランジスタ等の半導体素子の微細化に対応するのが難しくなる。

【0013】本発明の目的は、上記の問題を全て解決し、ソース・ドレインがシリサイド化され静電破壊耐性に優れ、しかも、簡便な方法で微細化に対応できる半導体装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】このために本発明の半導体装置では、ソース・ドレインを構成する拡散層の一部表面にシリサイド層の形成されるMOSトランジスタにおいて、このMOSトランジスタのゲート電極の側壁に、第1のサイドウォール絶縁膜と第2のサイドウォール絶縁膜とが積層して形成され、この第1および第2のサイドウォール絶縁膜の下部に位置する上記拡散層上にはシリサイド層が形成されていない。

【0015】あるいは、MOSトランジスタで構成される半導体集積回路において、内部回路を構成するMOSトランジスタのゲート電極の側壁には第1のサイドウォール絶縁膜が形成され、入出力回路を構成するMOSト

ランジスタのゲート電極の側壁には異種材料で構成される第1のサイドウォール絶縁膜と第2のサイドウォール絶縁膜とが積層して形成されている。

【0016】ここで、上記の内部回路を構成するMOSトランジスタのゲート電極の側壁に形成される第1のサイドウォール絶縁膜の幅は、上記の入出力回路を構成するMOSトランジスタのゲート電極の側壁に形成される第1のサイドウォール絶縁膜の幅より小さくなっている。

【0017】また、上記のMOSトランジスタのソース・ドレインを構成する拡散層の表面にシリサイド層が形成されている。そして、上記の第2のサイドウォール絶縁膜の下部に位置する拡散層の不純物濃度がシリサイド層の形成されている領域の拡散層の不純物濃度より低くなるように設定されている。あるいは、上記の第2のサイドウォール絶縁膜の下部に位置しドレインを構成する拡散層のみの不純物濃度がシリサイド層の形成されている領域の拡散層の不純物濃度より低くなるように設定されている。

【0018】そして、本発明の半導体装置の製造方法は、MOSトランジスタのゲート電極をゲート絶縁膜を介して半導体基板上に形成する工程と、上記のゲート電極をマスクに第1のイオン注入をしてソース・ドレインとなる第1の拡散層を形成する工程と、この第1の拡散層を形成後、上記のゲート電極の側壁に第1のサイドウォール絶縁膜を形成する工程と、上記ゲート電極および第1のサイドウォール絶縁膜をマスクに第2のイオン注入をしてソース・ドレインとなる第2の拡散層を形成する工程と、上記の第1のサイドウォール絶縁膜上に第2のサイドウォール絶縁膜を形成し第2の拡散層表面にシリサイド層を形成する工程とを含む。

【0019】あるいは、本発明の半導体装置の製造方法は、MOSトランジスタのゲート電極をゲート絶縁膜を介して半導体基板上に形成する工程と、上記のゲート電極をマスクに一導電型不純物の第1のイオン注入をしてソース・ドレインとなる第1の拡散層を形成する工程と、上記第1の拡散層を形成後、上記のゲート電極の側壁に第1のサイドウォール絶縁膜を形成する工程と、上記ゲート電極および第1のサイドウォール絶縁膜をマスクに逆導電型不純物の第3のイオン注入をして拡散抵抗層を形成する工程と、この拡散抵抗層を形成後、上記第1のサイドウォール絶縁膜上に第2のサイドウォール絶縁膜を形成する工程と、上記ゲート電極、第1のサイドウォール絶縁膜および第2のサイドウォール絶縁膜をマスクに同導電型不純物の第2のイオン注入をしてソース・ドレインとなる第2の拡散層を形成する工程と、この第2の拡散層表面にシリサイド層を形成する工程とを含むものである。

【0020】ここで、上記の第1のサイドウォール絶縁膜はシリコンオキシナイトライド膜で構成され、上記の

第2のサイドウォール絶縁膜はシリコン酸化膜で構成されている。

【0021】上記の第1のサイドウォール絶縁膜および第2のサイドウォール絶縁膜は、絶縁膜の成膜後の全面の異方性ドライエッチングで形成される。このために、フォトリソグラフィ工程を通さずに第2のサイドウォール絶縁膜は形成されるようになる。そして、この第2のサイドウォール絶縁膜の下部に位置する領域に設けられる拡散抵抗層は自己整合的（セルフアライン）に形成されることになる。このために、ソース・ドレインがシリサイド化され静電破壊耐性に優れたMOSトランジスタの微細化が容易になる。

【0022】

【発明の実施の形態】次に、本発明の第1の実施の形態を図面を参照して説明する。図1は本発明の実施の形態を説明するための入出力回路部に形成されるMOSトランジスタの断面図である。また、図2は本発明の実施の形態を説明するための内部回路部に形成されるMOSトランジスタの断面図である。

【0023】入出力回路部のMOSトランジスタは図1に示すような構造になっている。すなわち、図1に示すように、導電型がP型のシリコン基板1上に選択的にフィールド酸化膜2が形成されている。そして、シリコン基板1上に、ゲート絶縁膜3を介してゲート電極4および上部絶縁膜5が積層して形成されている。

【0024】そして、シリコン酸化膜等の絶縁膜からなる第1のサイドウォール絶縁膜6が、ゲート電極4、上部絶縁膜5の側壁に形成されている。この第1のサイドウォール絶縁膜6の下部に位置するシリコン基板1表面にN型低濃度拡散層7が形成されている。

【0025】そして、上記の第1のサイドウォール絶縁膜6の側壁に重なるようにして第2のサイドウォール絶縁膜8が形成されている。ここで、第2のサイドウォール絶縁膜8は、第1のサイドウォール絶縁膜6とはその材質を異にしている。例えば、シリコンオキシナイトライド（SiON）膜で構成される。

【0026】そして、図1に示すように、N型高濃度拡散層9が形成され、上記のN型低濃度拡散層7とでLDD構造の拡散層が形成されることになる。さらに、第2のサイドウォール絶縁膜8の下部に位置するN型高濃度拡散層9を除いて、N型高濃度拡散層9の表面にシリサイド層10が形成される。ここで、このシリサイド層10は例えばチタンシリサイドで構成される。

【0027】このようにして、第2のサイドウォール絶縁膜8の下部に位置するN型高濃度拡散層9に拡散抵抗層11がセルフアラインに形成されるようになる。

【0028】そして、全面にシリコン酸化膜が堆積されて層間絶縁膜12が形成され、この層間絶縁膜12に設けられたコンタクト孔を通してシリサイド層10に接続される電極13が形成されている。入出力回路部のMO

Sトランジスタは以上のような構造になっている。

【0029】これに対して、内部回路部のMOSトランジスタは図2に示すような構造になっている。すなわち、図2に示すように、導電型がP型のシリコン基板1上にフィールド酸化膜2が形成されている。そして、シリコン基板1上に、ゲート絶縁膜3、ゲート電極4および上部絶縁膜5が積層して形成されている。

【0030】そして、入出力回路部と同じように、シリコン酸化膜等の絶縁膜からなる第1のサイドウォール絶縁膜6aが、ゲート電極4、上部絶縁膜5の側壁に形成されている。ここで、第1のサイドウォール絶縁膜6aの幅は、図1で説明した入出力回路部のMOSトランジスタの第1のサイドウォール絶縁膜6の幅より狭くなっている。このような第1のサイドウォール絶縁膜6aの下部に位置するシリコン基板1表面にN型低濃度拡散層7aが形成されている。同様に、N型低濃度拡散層7aの幅は、図1で説明した入出力回路部のMOSトランジスタのN型低濃度拡散層7の幅より狭くなっている。

【0031】そして、図2に示すように、N型高濃度拡散層9が形成され、上記のN型低濃度拡散層7aとでLDD構造の拡散層が形成されることになる。さらに、N型高濃度拡散層9の表面にシリサイド層10が形成される。ここで、このシリサイド層10は例えばチタンシリサイドで構成される。

【0032】全面にシリコン酸化膜が堆積されて層間絶縁膜12が形成され、この層間絶縁膜12に設けられたコンタクト孔を通してシリサイド層10に接続される電極13が形成されている。内部回路部のMOSトランジスタは以上のような構造になっている。

【0033】なお、上記本発明の実施の形態では、第1のサイドウォール絶縁膜にSiON膜が用いられ、第2のサイドウォール絶縁膜にシリコン酸化膜が用いられてもよい。

【0034】次に、上記のMOSトランジスタの製造方法について図3と図4に基づいて説明する。図3は半導体装置の入出力回路を構成することになるMOSトランジスタの製造工程順の断面図である。また、図4は同一の製造工程で内部回路を構成することになるMOSトランジスタの工程順の断面図である。以下、図1および図2で説明したものと同一のものは同一符号で示される。

【0035】入出力回路部では、まず、図3(a)に示すように、従来の技術と同様にして、シリコン基板1表面に選択的にフィールド酸化膜2が形成される。そして、シリコン基板1上に、膜厚10nmのシリコン酸化膜でゲート絶縁膜3が形成される。そして、膜厚300nm程度のタングステンポリサイド膜と膜厚200nm程度のシリコン酸化膜がパターンニングされて、ゲート電極4および上部絶縁膜5が積層して形成される。

【0036】次に、全面にリン不純物あるいはヒ素不純物のイオン注入がなされ熱処理が施される。ここで、注

入エネルギーは50keVでありドーズ量は 10^{13} イオン/cm²程度に設定される。そして、上記のフィールド酸化膜2、ゲート電極4および上部絶縁膜5にセルフアラインにN型低濃度拡散層7が形成される。ここで、N型低濃度拡散層7の深さは0.1μm以下になるように設定される。

【0037】次に、膜厚150nm程度のシリコンオキシナイトライドで第1の絶縁膜14が全面に堆積される。そして、全面にヒ素不純物のイオン注入がなされ熱処理が施される。ここで、注入エネルギーは300keVでありドーズ量は 10^{15} イオン/cm²程度に設定される。そして、N型高濃度拡散層9が形成される。

【0038】さらに、図3(b)に示すように、第1の絶縁膜14上に積層して第2の絶縁膜15が形成される。この第2の絶縁膜15は、第1の絶縁膜14とは異なる絶縁材料であり、膜厚150nm程度のシリコン酸化膜で構成される。そして、第2の絶縁膜15上にレジストマスク16が形成される。このレジストマスク16は、半導体装置の入出力回路を構成するようになるMOSトランジスタ全体を被覆するように形成される。このために、レジストマスク16のパターンは非常に大きなもので、フォトリソグラフィ工程での高い目合わせ精度は不要になる。

【0039】このレジストマスク16がエッチングのマスクにされ、後述するように、内部回路のMOSトランジスタ上の第2の絶縁膜15がエッチング除去されるようになる。

【0040】次に、レジストマスク16が公知の方法で除去される。このようにして、図3(c)に示すような状態になる。

【0041】次に、反応性イオンエッチング(RIE)により、第2の絶縁膜15が異方性エッチングされる。すなわちエッチバックがなされる。ここで、エッチバックの反応ガスとしてC₄F₈とCOの混合ガスが使用される。この反応ガスにより、初めに第2の絶縁膜15がエッチバックされ、図3(d)に示すように、第2のサイドウォール絶縁膜8aが形成される。続けて、CHF₃とCOの混合ガスで再び異方性ドライエッチングがなされ、今度は第1の絶縁膜14がエッチバックされる。

そして、図3(d)に示すように、ゲート電極4と上部絶縁膜5の側壁に第1のサイドウォール絶縁膜6bが形成される。

【0042】次に、全面にスパッタ法で膜厚30nm程度のチタン膜が堆積され、800℃程度の熱処理が施されて、チタン膜とシリコン基板との熱反応が行われN型高濃度拡散層9表面にシリサイド層10が形成される。ここで、絶縁膜上の未反応のチタン膜は化学薬液で除去される。この化学薬液は、アンモニア水溶液、過酸化水素水および純水の混合溶液である。

【0043】これに対して内部回路部では、レジストマ

スク16は、入出力回路部の図3(b)で説明した工程で除去され、この領域には存在しない。すなわち、図3(a)の工程後、図4(a)に示すように、第1の絶縁膜14上に第2の絶縁膜15が形成される。

【0044】次に、上記のレジストマスク16で入出力回路部はエッチングマスクにされ、内部回路のMOSトランジスタ上の第2の絶縁膜15がエッチング除去されるようになる。このようにして、図4(b)に示すように、第1の絶縁膜14が露出されるようになる。

【0045】次に、上述したように、図3(c)に示した第2の絶縁膜15が異方性エッチングされる。ここで、エッチバックの反応ガスとして C_4F_8 と CO の混合ガスが使用される。このために、図4(b)で露出した第1の絶縁膜14はほとんどエッチングされない。そして、上述した CHF_3 と CO の混合ガスでの異方性ドライエッチングで、露出している第1の絶縁膜14がエッチバックされる。このようにして、図4(c)に示すように、ゲート電極4と上部絶縁膜5の側壁に第1のサイドウォール絶縁膜6aが形成される。

【0046】以後、図3(d)で説明したのと同様にして、N型高濃度拡散層9表面にシリサイド層10が形成される。

【0047】以後、化学気相成長(CVD)法で全面にシリコン酸化膜が堆積され、図1および図2で説明した層間絶縁膜が形成され電極が形成されて、図1および図2で説明したのと同様な構造のMOSトランジスタが形成されることになる。

【0048】すなわち、半導体装置の入出力回路部のMOSトランジスタのゲート電極の側壁に第1のサイドウォール絶縁膜6bと第2のサイドウォール絶縁膜8aが積層して形成される。そして、半導体装置の内部回路部のMOSトランジスタのゲート電極の側壁に第1のサイドウォール絶縁膜6aのみが形成される。しかも、ここで、第1のサイドウォール絶縁膜6aの幅は、第1のサイドウォール絶縁膜6bの幅より狭くなっている。

【0049】このように、半導体装置の入出力回路部のMOSトランジスタでは、シリサイド層10は、第2のサイドウォール絶縁膜8の下部に位置するN型高濃度拡散層9に形成されない。そして、この領域が拡散抵抗層となる。このために、半導体装置の入出力回路部のMOSトランジスタは上述したサージ等によるESDに対して強くなる。

【0050】また、半導体装置の内部回路部のMOSトランジスタでは、ゲート電極の側壁に幅の狭い第1のサイドウォール絶縁膜6aのみが形成される。そして、N型高濃度拡散層9上にシリサイド層が形成される。このために、半導体装置の内部回路部のMOSトランジスタの動作速度は大幅に向上するようになる。

【0051】このようにして、本発明では、ESDに対して強くしかも動作速度の高い半導体装置が容易に得ら

れるようになる。

【0052】次に、本発明の第2の実施の形態を図面を参照して説明する。図5は本発明の実施の形態を説明するための入出力回路部に形成されるMOSトランジスタの断面図である。この第2の実施の形態では、第2のサイドウォール絶縁膜の下部に位置するシリコン基板表面に別の拡散抵抗層が形成されるところが第1の実施の形態と異なる。以下、同一のものは同一符号で示される。

【0053】図5に示すように、第1の実施の形態と同様に、導電型がP型のシリコン基板1上にフィールド酸化膜2が形成されている。そして、シリコン基板1上に、ゲート絶縁膜3を介してゲート電極4および上部絶縁膜5が積層して形成されている。そして、第1のサイドウォール絶縁膜6が、ゲート電極4、上部絶縁膜5の側壁に形成されている。また、この第1のサイドウォール絶縁膜6の下部に位置するシリコン基板1表面にN型低濃度拡散層7が形成されている。

【0054】そして、第1のサイドウォール絶縁膜6の側壁に重なるようにして第2のサイドウォール絶縁膜8が形成されている。さらに、N型高濃度拡散層9が形成され、上記のN型低濃度拡散層7とでLDD構造の拡散層が形成されることになる。

【0055】そして、第2のサイドウォール絶縁膜8の下部に位置するシリコン基板1表面に拡散抵抗層11aが形成されている。ここで、拡散抵抗層11aの不純物濃度はN型高濃度拡散層9のそれより低くなっている。このために、第1の実施の形態の場合よりも拡散抵抗層11aの抵抗値は高くなる。

【0056】このようにして、さらにN型高濃度拡散層9の表面にシリサイド層10が形成される。そして、層間絶縁膜12が形成され、この層間絶縁膜12に設けられたコンタクト孔を通して、シリサイド層10に接続される電極13が形成されている。

【0057】この第2の実施の形態で拡散抵抗層11aを形成するためには、図3(a)で説明したような工程で、第1の絶縁膜14を形成した後、逆導電型であるP型のボロン不純物をイオン注入する。そして、図3(b)で説明したような工程で、第2の絶縁膜を形成した後、高濃度のヒ素不純物をイオン注入する。ここで、イオン注入によるボロン不純物の濃度は、N型低濃度拡散層7の不純物量より小さくなるように設定され、拡散抵抗層11aの導電型はN型となる。

【0058】この第2の実施の形態では、第2のサイドウォール絶縁膜8の下部に位置する領域に形成される拡散抵抗層11aの不純物濃度は、N型高濃度拡散層9の不純物濃度とは独立して制御できる。このために、拡散抵抗層11aの抵抗値を高く設定できるようになり、半導体装置の入出力回路部のMOSトランジスタのESD耐性はさらに向上するようになる。

【0059】以上の実施の形態では、Nチャネル型のM

OSトランジスタの場合について説明された。本発明はPチャネル型のMOSトランジスタでも同様に形成できることに言及しておく。この場合には、N型をP型に代えて行えばよい。

【0060】また、第1のサイドウォール絶縁膜と第2のサイドウォール絶縁膜とが同種材料で形成されてもよい。

【0061】また、本発明の実施の形態では、第2のサイドウォール絶縁膜がMOSトランジスタのゲート電極の両側壁に形成される場合について説明されているが、この第2のサイドウォール絶縁膜はゲート電極の片側に形成されてもよい。但し、この場合には、この第2のサイドウォール絶縁膜の下部に位置する拡散層はMOSトランジスタのドレイン領域になる。

【0062】なお、シリサイド層はチタンシリサイドで構成されているが、本発明はチタンシリサイドに限定されない。本発明の方法はコバルトあるいはタングステン等の高融点金属のシリサイド層でも同様に形成できることに言及しておく。

【0063】

【発明の効果】以上説明したように本発明では、ソース・ドレインを構成する拡散層の一部表面にシリサイド層の形成されるMOSトランジスタにおいて、このMOSトランジスタのゲート電極の側壁に、第1のサイドウォール絶縁膜と第2のサイドウォール絶縁膜とが積層して形成され、上記の第2のサイドウォール絶縁膜の下部に位置する上記拡散層上に拡散抵抗層が第2のサイドウォール絶縁膜にセルフアラインに形成される。

【0064】あるいは、MOSトランジスタで構成される半導体集積回路において、内部回路を構成するMOSトランジスタのゲート電極の側壁には第1のサイドウォール絶縁膜が形成され、入出力回路を構成するMOSトランジスタのゲート電極の側壁には異種材料で構成される第1のサイドウォール絶縁膜と第2のサイドウォール絶縁膜とが積層して形成される。

【0065】このように本発明では、MOSトランジスタのソース、ドレインの拡散層の一部に、上記の第2のサイドウォール絶縁膜にセルフアラインに拡散抵抗層が形成される。

【0066】このために、従来の技術で生じていたフォトリソグラフィ工程での目合わせによるバラツキは皆無になる。そして、MOSトランジスタの駆動能力のバラツキはなくなる。

【0067】また、本発明の方法は、MOSトランジスタの微細化が容易になると共に、その製造工程が簡素化され半導体装置の製造コストが低減するようになる。

【0068】また、本発明では、半導体集積回路の内部回路部のMOSトランジスタの拡散層に低抵抗のシリサ

イド層が形成できると共に、そのゲート電極の側壁に形成されるサイドウォール絶縁膜の幅は小さくなる。このために、半導体装置の高性能化も併せて容易に達成できるようになる。

【0069】以上のようにして、微細でしかもソース・ドレインがシリサイド化されたMOSトランジスタで構成される半導体装置の静電破壊耐性は向上すると共に、このような半導体装置が高い信頼性で且つ簡便な方法で容易に形成できるようになる。

10 【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明する入出力回路部のMOSトランジスタの断面図である。

【図2】本発明の第1の実施の形態を説明する内部回路部のMOSトランジスタの断面図である。

【図3】上記入出力回路部のMOSトランジスタの製造工程順の断面図である。

【図4】上記内部回路部のMOSトランジスタの製造工程順の断面図である。

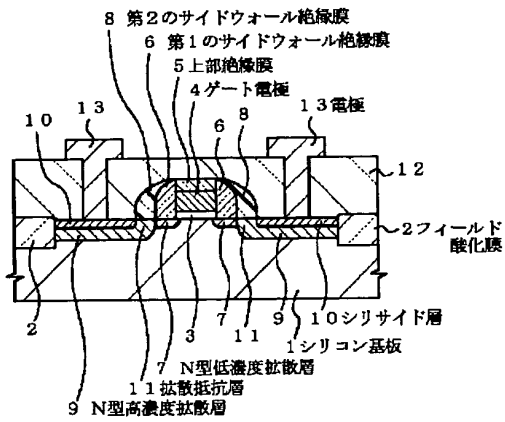
20 【図5】本発明の第2の実施の形態を説明する入出力回路部のMOSトランジスタの断面図である。

【図6】従来の技術を説明するMOSトランジスタの製造工程順の断面図である。

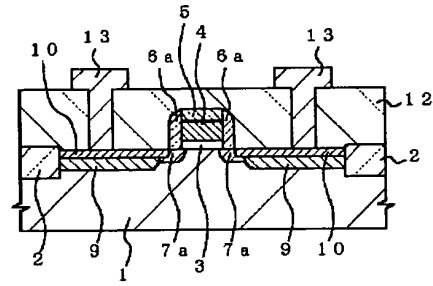
【符号の説明】

- 1, 101 シリコン基板
- 2 フィールド酸化膜
- 3, 103 ゲート絶縁膜
- 4 ゲート電極
- 5 上部絶縁膜
- 6, 6a, 6b 第1のサイドウォール絶縁膜
- 30 7, 7a N型低濃度拡散層
- 8, 8a 第2のサイドウォール絶縁膜
- 9 N型高濃度拡散層
- 10 シリサイド層
- 11, 11a, 118, 119 拡散抵抗層
- 12 層間絶縁膜
- 13 電極
- 14 第1の絶縁膜
- 15 第2の絶縁膜
- 16 レジストマスク
- 40 102 素子分離絶縁膜
- 104 多結晶シリコンゲート
- 105 サイドウォール絶縁膜
- 106 ソース領域
- 107 ドレイン領域
- 108, 110, 111, 112 チタン膜
- 109 レジスト膜
- 113, 114, 115, 116, 117 チタンシリサイド膜

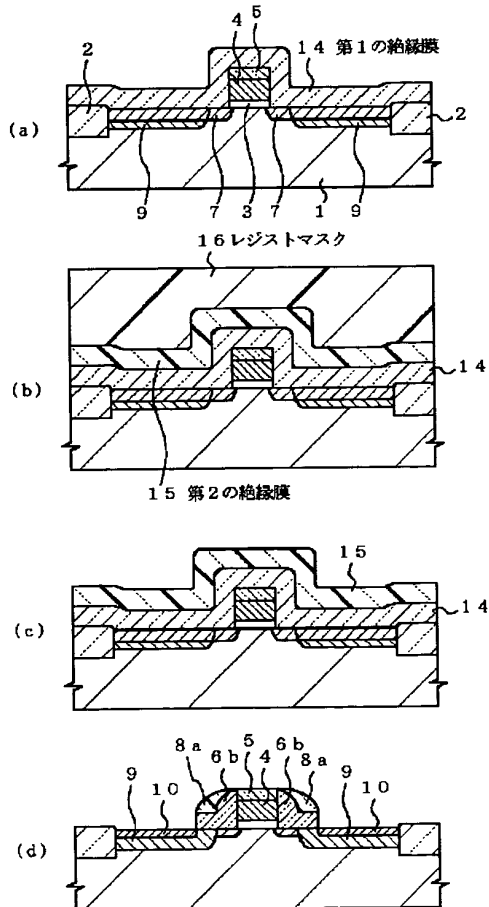
【図1】



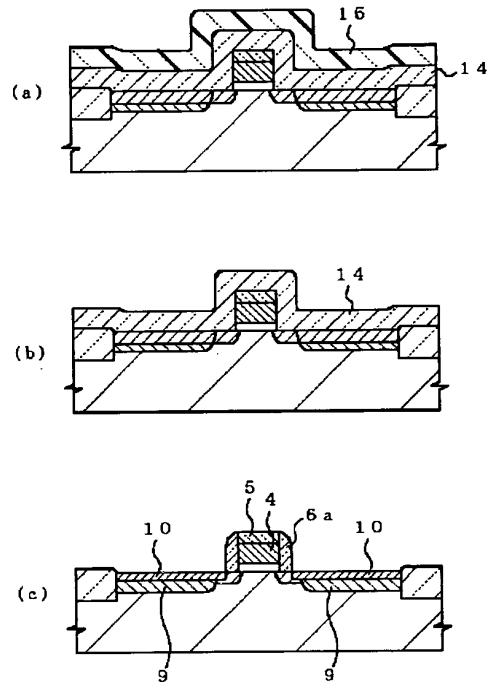
【図2】



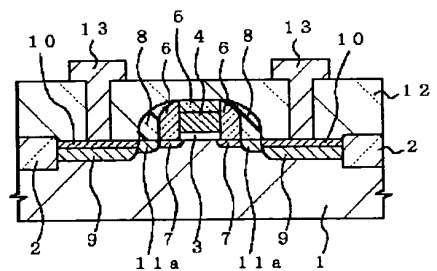
【図3】



【図4】



【図5】



【図6】

